

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-022151

(43)Date of publication of application : 28.01.1994

(51)Int.Cl.

H04N 1/415  
G06F 3/12  
G06F 15/66  
H04N 7/133

(21)Application number : 04-173441

(71)Applicant : CANON INC

(22)Date of filing : 30.06.1992

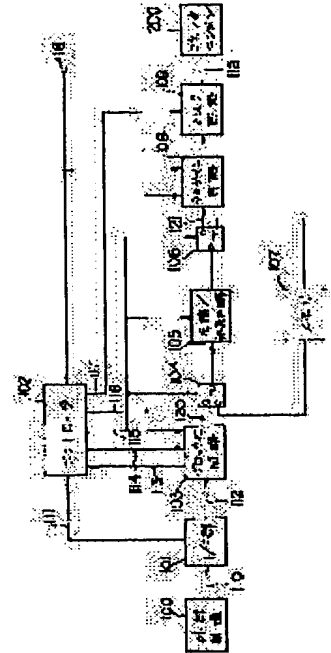
(72)Inventor : HONMA HIDEO  
ISHIKAWA TAKASHI

## (54) PICTURE STORAGE DEVICE

### (57)Abstract:

**PURPOSE:** To accurately reproduce a picture size even when an original picture size is not an integral number of multiple of a block size to be processed in the picture storage device processing the picture in the unit of blocks and executing compression/expansion.

**CONSTITUTION:** When the size of a picture inputted from an external device 100 is not an integral multiple of a block size to be processed, a block processing circuit executes round-up processing to attain block processing the picture into a picture whose size is an integral multiple of the block size including the original picture. Then a companding circuit 105 applies companding to the picture subjected to blocking in the unit of blocks. After the picture is restored to a picture of an integral multiple of the block size once by a raster processing circuit 108, a mask circuit 109 masks the size of the original picture to eliminate undesired picture elements. Thus, the picture size is accurately reproduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平 6-22151

(43)公開日 平成6年(1994)1月28日

(51) Int. Cl. <sup>5</sup>		識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	1/415		9070-5 C		
G 0 6 F	3/12	B			
	15/66	3 3 0	C 8420-5 L		
H 0 4 N	7/133	Z			

審査請求 未請求 請求項の数 3

(全 12 頁)

(21)出願番号 特願平4-173441

(22)出願日 平成4年(1992)6月30日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 本間 英雄

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 石川 尚

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

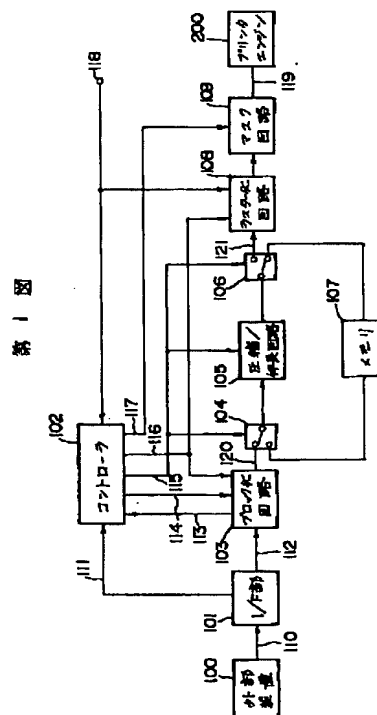
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 画像記憶装置

(57) 【要約】

【目的】 画像をブロック単位で処理し、圧縮伸長を行う画像記憶装置において、元の画像が処理するブロックサイズの整数倍でない場合においても、画像サイズを正確に再現することを可能とすることを目的とする。

【構成】 ブロック化回路は、外部装置 100より入力された画像が処理するブロックサイズの整数倍でない場合、切り上げ処理を行い、元の画像を含むブロックサイズの整数倍の画像にブロック化する。そして圧縮／伸長回路 105でブロック化されたブロック単位で画像を圧縮伸長する。その後ラスタ化回路 108で一度このブロックサイズの整数倍の画像に戻した後、マスク回路 109で元の画像のサイズにマスクして、不要画素を除去することにより、画像サイズを正確に再現する。



1

## 【特許請求の範囲】

【請求項 1】 入力された画像の大きさを記憶する大きさ記憶手段と、  
画像の大きさを処理を行うブロックサイズの整数倍に切り上げる切り上げ手段と、  
該切り上げ手段で切り上げられた大きさの画像を前記ブロックサイズでブロック化するブロック化手段と、  
該ブロック化手段でブロック化されたブロック単位で画像を圧縮し記憶する記憶手段とを備えることを特徴とする画像記憶装置。

【請求項 2】 記憶手段よりのブロック単位で圧縮された画像を伸長する伸長手段と、  
該伸長手段で伸長された画像をラスタ化するラスタ化手段と、  
画像を元の大きさにマスクするマスク信号を発生するマスク信号発生手段と、  
前記ラスタ化手段でラスタ化された画像信号を該マスク信号発生手段での発生マスク信号によりマスクするマスク手段とを備えることを特徴とする請求項 1 記載の画像記憶装置。

【請求項 3】 マスク信号発生手段はラスタ化手段による画像信号のラスタ化する速度に同期してマスク信号を発生し、マスク手段は該マスク信号でラスタ化された画像信号をマスクすることを特徴とする請求項 2 記載の画像記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は画像を圧縮して記憶する画像記憶装置に関し、例えば、プリンタのフレームバッファなどに適した画像記憶装置に関するものである。

## 【0002】

【従来の技術】従来、画像圧縮の方法として、JPEG などの規格が知られていた。この規格は、画像をブロック単位に切り分けて、DCT 処理を行うものであった。

## 【0003】

【発明が解決しようとしている課題】しかしながら、従来の画像圧縮の規格では、画像をブロック単位で処理する場合、元の画像がブロックの整数倍であれば良いが、端数がある場合には、切り捨てるか、元の画像の大きさが、ブロックサイズの整数倍となるよう制限を設ける必要があった。

【0004】前者の場合、再現される画像の大きさが、元の画像より小さくなり、後者の場合画像レイアウトに制限が加わることによる使い勝手の悪化という問題点が生じていた。

## 【0005】

【課題を解決するための手段】本発明は上述の課題を解決することを目的としてなされたもので、上述の課題を解決する一手段として以下の構成を備える。即ち、入力された画像の大きさを記憶する大きさ記憶手段と、画像

2

の大きさを処理を行うブロックサイズの整数倍に切り上げる切り上げ手段と、該切り上げ手段で切り上げられた大きさの画像を前記ブロックサイズでブロック化するブロック化手段と、該ブロック化手段でブロック化されたブロック単位で画像を圧縮し記憶する記憶手段とを備える。

## 【0006】

【作用】以上の構成において、画像をブロック単位で処理し、圧縮伸長を行う画像記憶装置において、元の画像が処理するブロックサイズの整数倍でない場合、切り上げ処理を行い、元の画像を含むブロックサイズの整数倍の画像として記憶し、再現する場合には、一度このブロックサイズの整数倍の画像に戻した後、元の画像のサイズにマスクして、不要画素を除去することにより、画像サイズを正確に再現することを可能とするものである。

## 【0007】

【実施例】以下、図面を参照して本発明に係る一実施例を詳細に説明する。

【第 1 実施例】図 1 は本発明に係る一実施例を示すブロック構成図である。図 1 において、100 はホストマシンあるいは画像データを生成するユニットローラである外部装置であり、本実施例装置に画像データを出力する。101 は外部装置 100 とのインタフェースを司るインタフェース回路 (I/F)、102 は制御コードの管理及びタイミングの管理を司るコントローラであり、本実施例装置全体の制御を管理している。

【0008】103 は画像データを圧縮するブロック単位に切り分けるブロック化回路、104、106 はエンコード/デコード状態に応じてデータフローを切り替えるスイッチ、105 は画像データの圧縮/伸長回路、107 は圧縮された画像データをストアするメモリ、108 はデコード時、ブロック化された画像を元のラスタイメージに戻すラスタ化回路、109 はブロックの大きさを単位としてデコードされた画像を元のサイズに正確に戻すマスク回路、200 はプリンタエンジンである。

【0009】次に以上の構成を備える本実施例の各部を接続する信号線について説明する。110 は外部装置とインタフェース部 101 との信号線であり、画像データ、制御コード等の入力端子、111 は入力した制御コードをコントローラへ伝えるメモリ制御信号、112 は画像データ信号、113 は画像データを 1 ワード毎に転送してブロック化回路 103 にストアすることにパルスが発生するデータストア信号、114 は最終データが転送されたことを示すデータエンド信号、115 は制御コードに対応してエンコード、デコードを切り替えるエンコード/デコード信号、116 は画像データのレイアウト情報を伝えるレイアウト信号、117 はデコードした画像信号をマスクするデータマスク信号、118 はプリンタエンジン 200 のエンジンタイミング信号、119 はプリンタエンジン 200 へ接続する画像出力信号であ

10

20

30

40

50

る。

【0010】以下、以上の構成を備える本実施例のデータの流れについて説明する。外部装置100より画像データを入力する場合、本実施例の動作モードはエンコードモードとなる。この時データは、インタフェース回路101、ブロック化回路103、スイッチ104、圧縮／伸長回路105、スイッチ106を通りメモリ107へストアされる。

【0011】インタフェース回路101は、信号線110から画像データ及び制御コードを入力し、画像データはブロック化回路103、制御コードはコントローラ102へ転送する。この制御コードは、画像のレイアウト情報、転送量及びエンコード／デコード切り替え情報等を含む。コントローラ102は、上述の制御コード情報及びデータストア信号113よりデータエンド信号114及びレイアウト情報116をブロック化回路103へ送る。

【0012】以上の構成を備える本実施例におけるデータの圧縮／伸長処理を、図2～図5も参照して以下に説明する。図2の510は本実施例におけるプリントエリアの全域を示しており、502は転送し、圧縮しようとする画像領域を示している。この画像領域502は、座標(x, y)からスタートし、幅=w, 高さ=h(単位; 画素)のラスタスキヤンデータである。画像領域502を拡大したものが、図3である。

【0013】図3において、圧縮する単位となるブロックの大きさを $n \times n$ とすると、 $w'$ ,  $h'$ は $w$ ,  $h$ を $n \times i$ ,  $n \times j$  ( $i, j$ は整数)へ切り上げた値となる。503はこの切り上げた画像領域である。この画像領域503をブロック単位に切り分けるため、 $n$ ラインごとに分けたものが、図4である。図4において、601は幅 $w$ 画素 $\times n$ ラインの入力データ領域でありこれをブロックラインと称する。画像の幅は入力データは $w$ であるがブロック化は $n$ 画素単位ごとに行い、実際にブロック化されるデータは切り上げられた領域604を含む $w'$ までとなる。602, 603はこのブロック化された( $n \times n$ )データである。

【0014】ブロック化によるスキヤン変換を示したのが図5である。図5に示す $w \times n$ の入力データは、図中に示す矢印のように各 $n \times n$ ブロックごとのスキヤン(以下ブロックスキヤンと称する)へ変換される。上述のブロックスキヤンデータは、スイッチ104を介して圧縮／伸長回路105でブロック単位でDCTなどのアルゴリズムで圧縮され、さらにスイッチ106を介してメモリ107へストアされる。ここでコントローラ102はエンコード／デコード信号115で、スイッチ104, 106及び圧縮／伸長回路105をエンコードモードで動作させる。即ち、エンコードモード時圧縮／伸長回路105は、圧縮回路として動作する。

【0015】メモリ107にストアされたデータをプリ

ンタエンジン200に出力する場合について説明する。この場合コントローラ102は、スイッチ104, 106及び圧縮／伸長回路105をエンコード／デコード信号115を介してデコードモードで動作させる。

【0016】まず、ブロック単位で圧縮された画像データがメモリ107より読み出され、スイッチ104を介して圧縮／伸長回路105へ入力する。圧縮／伸長回路はデコードモード時、伸長回路として動作し、図4に示すようなブロックスキヤンデータを出力する。この出力はスイッチ106を介してラスタ化回路108に入力する。

【0017】ラスタ化回路108は、ブロックスキヤンデータをラスタスキヤンデータに変換する。この時入力された $w \times h$ の画像でなく、図3に示される $w' \times h'$ のサイズに変換される。即ち、図3に示す502と503との間の斜線部が付加されることになる。また、この変換されるデータはプリンタタイミング信号118に同期して読み出される。

【0018】マスク回路109は、先に述べた画像502と503との間のマスクを行い、画像サイズを元のサイズに戻す。このデータマスク信号117は、プリンタエンジン200タイミング信号108に同期してコントローラ102が発生する。即ち、画像データはプリンタエンジン200のデータ読み込み速度に合わせて、マスクされ入力データと同一サイズに戻されてプリンタエンジン200に出力される。

【0019】続いて、コントローラ102、ブロック化回路103、ラスタ回路108、マスク回路109についてさらに詳細な説明を行う。先ずコントローラ102の詳細構成を図6を参照して説明する。図6において、201は、転送されたデータのワード数をカウントするデータカウンタ、202は動作モードを制御するモードコントローラ、203は画像の位置、大きさ情報を保持するレイアウトレジスタ、204はプリント実行時に印刷位置情報を得るためのプリントロケーションカウンタ、205は印写位置が画像領域か否かを判定する画像領域判定回路である。

【0020】本実施例においては、画像情報を外部装置100から入力するモード(エンジンモード)の場合、メモリ制御信号111は、まず、データカウンタ201、モードコントローラ202、レイアウトレジスタ203、プリントロケーションカウンタ204をリセットする。そしてその後、モードコントローラ202をセットし、エンコード／デコード信号115をエンコードモードにセットする。

【0021】次に、レイアウトレジスタ203に画像の位置、大きさといったレイアウト情報をストアする。データ転送時においては、データカウンタ201は、データストア信号113のカウント数とレイアウトレジスタ203から得られる画像の大きさ情報を比較し、全画像

10

20

30

40

50

データの転送が完了した時点でデータエンド信号114をアサートする。またレイアウトレジスタ203はレイアウト信号116で、ブロック化回路103、ラスタ化回路108にスキヤン変換を行うのに必要なレイアウト情報を伝達する。

【0022】一方、プリンタエンジン200よりプリンタアウトを行うモード（デコードモード）の場合、モードコントローラ202はエンコード／デコード信号115をデコードモードにセットする。そして、プリントロケーションカウンタ204はプリント中エンジンタイミング信号をカウントし、画像のプリント位置情報を保持する。

【0023】画像領域判定回路205はレイアウトレジスタ203とプリントロケーションカウンタ204の値を比較し、プリント位置が画像の中か否かを判定し、画像の大きさを再現するためのデータマスク信号117を出力する。次に、ブロック化回路103の詳細構成例を図7を参照して以下に説明する。図7において、301は1ブロックライン分のデータを保持できるブロックラインバッファ、302はスキヤン変換を行うためにブロックラインバッファのメモリアドレスを切り替えるアドレスセクタ、303はブロックラインバッファ301への書き込み時のアドレスを発生させるブロックアドレス発生回路、305はドレス切り替えスイッチ、306はレイアウト情報の画像サイズがブロックサイズ（ $n \times n$ ）の整数倍となるように切り上げる回路である。

【0024】インタフェース回路101から出力される画像データは、ブロックラインバッファ301へストアされる。この時アドレスセクタ302は、ブロックラインバッファ301へのメモリアドレスを、ラスタアドレス発生回路303よりのアドレスとなるように選択して出力する。ラスタアドレス発生回路303は、データストア信号でアドレスをカウントする。そして、レイアウト情報116及びデータエンド信号114により当該ブロックラインの最終データ書き込み完了を検知し、アドレスセクタ302へ伝える。

【0025】アドレスセクタ302は、1ブロックラインのデータ書き込みが完了した時には、ブロックラインバッファ301へのアドレスを、ラスタアドレス発生回路303よりブロックアドレス発生回路304側に切り替える。ブロックラインバッファ301のデータは図5に示すブロック単位のスキヤンデータに変換されて読み出される。この時、切り上げ回路306は、画像データのサイズを、図3に符号502で示すように、入力データの端数をブロックサイズの整数倍に切り上げる。そしてブロックアドレス発生回路304へ入力する。従って、スキヤン変換後に読み出されるデータは、図3に示す502と503の間の不用データを含むものとなる。即ち、圧縮／伸長回路105はこの不用データも含めて圧縮／伸長を行うことになる。

【0026】ブロックアドレス発生回路304は、アドレスセクタ302にこの1ブロックラインの読み出し完了を報知する。これによりアドレスセクタ302は再びブロックラインバッファ301へのアドレスとしてラスタアドレス発生回路303よりのアドレスを選択する。そしてインタフェース回路101からのデータ読み込みを再開する。

【0027】最後に、ラスタ化回路108及びマスク回路109の詳細構成例を図8に示す。図8において、401は図7に示すブロックラインバッファ301と同様の1ブロックラインデータを保持するブロックラインバッファ、402はブロックラインバッファ401のメモリアドレスを選択するアドレスセクタ、403はブロックアドレス発生回路、404はラスタアドレス発生回路、405はブロックラインバッファ405のアドレス切り替えスイッチ、406は図7の切り上げ回路306と同様の画像サイズの切り上げ処理を行う切り上げ回路、407はラスタスキヤン化された画像データ転送速度をエンジン速度に合わせるためのFIFOである。以上の構成でラスタ回路108を構成している。

【0028】また、408はFIFO407から読み出されたデータをマスクするデータ切り替えスイッチ、409はマスクデータ、410はコントローラ102で発生させたデータマスク信号のタイミング調整を行う遅延回路であり、以上の構成でマスク回路を構成している。デコードモード動作時、図1の圧縮伸長回路105から出力されたデータは、図3に示すようなブロックスキヤンデータであり、これがブロックラインバッファ401に書き込まれる。この時アドレスセクタ402はブロックラインバッファ401のアドレスとしてブロックアドレス発生回路403側を選択している。1ブロックラインデータが書き込まれた後、アドレスセクタ402はブロックラインバッファからラスタスキヤン化されたデータを読み出す。

【0029】アドレスセクタ402は、1ブロックラインを読み出した後、ブロックラインバッファ401のアドレスとして再びブロックアドレス発生回路403よりのアドレスを選択する。そして、以後ブロックアドレス発生回路403よりのアドレスに従ってデータをブロックラインバッファ401へ書き込む。その後上述同様再びラスタスキヤン化されたデータの読み出し処理を実行する。

【0030】以後、画像データ読み出し終了時までこの動作を続ける。以上の処理において、ブロックアドレス発生回路403は、図3に示す503のブロックサイズ整数倍へ切り上げたサイズの画像を読み出すためのアドレスを、ラスタアドレス発生回路404は図3に示す502の元の入力データサイズ範囲を読み出すためのアドレスを発生する。

【0031】ブロックラインバッファ401から読み出

されたデータは、プリンタエンジン200の出力タイミングに合わせる必要がある。本実施例においては、このタイミング合わせをFIFO407が行なっている。なお、当然FIFO407への書き込みの平均速度は、プリンタエンジン200への出力速度を上回る速度となる様にシステム設計がなされていることが必要である。

【0032】FIFO407が満杯(full)の場合、FIFOfull信号411が出力され、該信号411によりラスタアドレス発生回路404の発生アドレスを制御する。FIFO407からの読み出しデータは、データ不用部分をプリンタエンジン200の出力タイミングに合わせてマスクする必要がある。このマスクデータとの切り換えは、スイッチ408を画素単位に切り替えることにより行う。スイッチ408の切り換えは、データマスク信号に基づいて行われる。また、遅延回路410はデータマスク信号のタイミング調整を行う回路である。なお、マスクデータ409は固定でもあるいはプログラマブルでも良い。

【0033】以上説明した様に本実施例によれば、画像サイズがブロックサイズの整数倍でない場合でも、元画像を含むブロックサイズの整数倍の画像に切り上げて記憶、再生し、不用画素をマスクすることにより、元画像が正確に再現できる。

〔第2実施例〕また、画像の圧縮／伸長制御も以上の例に限定されるものではなく、図1のブロック化回路103、ラスタ化回路108、マスク回路109の構成も図6～図8に示す構成に限定されるものでもない。図1のブロック化回路103、ラスタ化回路108、マスク回路109をダブルバッファ構成のブロックラインバッファ構成とし、インタフェース回路101からのデータ入力と同時に、圧縮／伸長回路105へのデータ出力が可能に構成すると共に、圧縮／伸長回路105からの出力データを入力すると同時に、プリンタエンジン200のタイミングに合わせて出力可能に構成した本発明に係る第2の実施例を図9及び図10に示す。

【0034】図9が本発明に係る第2実施例のブロック化回路の詳細構成を示す図、図10が本発明に係る第2の実施例のラスタ化回路108、マスク回路109の詳細構成を示す図である。以下、図9及び図10を参照して本発明に係る第2実施例を説明する。まず、図9を参照して第2実施例におけるブロック化回路について説明する。図9において、図7と同様構成には同一番号を付し詳細説明を省略する。

【0035】本実施例では、ブロックラインバッファをダブルバッファ構成とすることにより、インタフェース回路101からのデータ入力と同時に、圧縮／伸長回路105へのデータ出力が可能となる。図9中、701はダブルバッファ構成のブロックラインバッファ、702、703はデータフローを切り換えるスイッチ、704はブロックラインバッファを切り換えるバッファセ

クタ、705、706はブロックラインバッファ701のメモリアドレスを切り換えるスイッチである。

【0036】ブロックラインバッファ701は、独立して書き込み／読み出し可能なブロックラインバッファ2個からなる。バッファセクタ704は、ラスタアドレス発生回路303及びブロックアドレス発生回路304よりのアドレス情報及びデータエンド信号114から、書き込み側のバッファが満杯(full)となつた場合、あるいは、データ書き込みが終了でかつ読み出し側バッファが空の場合に、スイッチ702、703、705、706を切り替え、ブロックラインバッファ701の入出力データ及びアドレスを適時切り替える。

【0037】なお、アドレス発生回路303、304及び切り上げ回路306の動作は、上述した第1実施例と同様であるため、詳細説明を省略する。次に、第2実施例におけるラスタ化回路108及びマスク回路109の詳細構成例を図10を参照して説明する。図10において、801は図9のブロックラインバッファ701と同様のダブルバッファ構成のブロックラインバッファ、802、803はブロックラインバッファ801のデータ入出力を切り換えるスイッチ、804はスイッチ802、803を切り替え、ブロックラインバッファ801の入出力データ及びアドレスを適時切り替えるバッファセクタ、805、806はラスタアドレス発生回路807及びブロックアドレス発生回路403のいずれかのアドレス情報を選択すると共に、いずれのアドレス情報をブロックラインバッファ801に供給するかを切り替えるスイッチ、807はラスタアドレスを発生するラスタアドレス発生回路である。

【0038】本実施例においては、以上のようにブロックラインバッファ801をダブルバッファ構成とすることにより、圧縮／伸長回路105からの出力データをブロックラインバッファ801の一方に書き込むと同時に、他方をプリンタエンジン200のタイミングに合わせて出力することが可能となる。即ち、プリンタエンジン200へ出力するバッファアドレスを発生するラスタアドレス発生回路807は、エンジンタイミング信号118でカウントされ、プリンタエンジン200速度に同期してアドレスを発生する。これにより、上述した第1の実施例におけるタイミング調整に必要なFIFO407が不用となり、データのスループットが向上する。

【0039】なお、バッファセクタ804による、ブロックアドレス発生回路403、ラスタアドレス発生回路807の情報から、書き込み側バッファが満杯であり書き込みアドレスが上限(full)、かつ読み出し側アドレスが空の状態の場合に、スイッチ802、803、805、806を制御してバッファを切り換える制御は、先に述べた図9に示すバッファセクタ704の場合の制御と同様である。

【0040】以上説明した様に第2実施例によれば、更

に図1のブロック化回路103、ラスタ化回路108、マスク回路109をダブルバッファ構成のブロックラインバッファ構成とし、インタフェース回路101からのデータ入力と同時に、圧縮／伸長回路105へのデータ出力が可能となると共に、圧縮／伸長回路105からの出力データを入力すると同時に、プリンタエンジン200のタイミングに合わせて出力可能となる。

【0041】尚、本発明は、複数の機器から構成されるシステムに適用しても1つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。

【0042】

【発明の効果】以上説明したように本発明によれば、画像サイズがブロックサイズの整数倍でない場合でも、元画像を含むブロックサイズの整数倍の画像に切り上げて記憶し、再生時には、例えば不用画素をマスクすることにより、元画像を正確に再現可能となる。

【図面の簡単な説明】

【図1】本発明に係る一実施例の全体構成を示すブロック構成図である。

【図2】本実施例におけるプリントエリアの全体を示す図である。

【図3】本実施例における図2のエリア中の処理する画像領域を説明する図である。

【図4】本実施例におけるブロック化処理を説明するための図である。

【図5】本実施例におけるブロック化処理を説明するための図である。

【図6】本実施例のコントローラ部の詳細構成を示す図

である。

【図7】本実施例のブロック化回路の詳細構成を示す図である。

【図8】本実施例のラスタ化回路及びマスク回路の詳細構成を示す図である。

【図9】本発明に係る第2実施例のブロック化回路の詳細構成を示す図である。

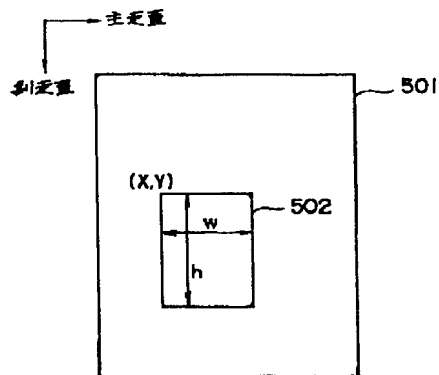
【図10】第2実施例のラスタ化回路及びマスク回路の詳細構成を示す図である。

【符号の説明】

101	インタフェース回路
102	コントローラ
103	ブロック化回路
105	圧縮／伸長回路
107	メモリ
108	ラスタ化回路
109	マスク回路
201	データカウンタ
202	モードコントローラ
203	レイアウトレジスタ
204	プリントロケーションカウンタ
205	画像領域判定回路
301, 404, 701, 801	ブロックラインバッファ
302, 403	アドレスセクタ
303, 404, 807	ラスタアドレス発生回路
304, 403	ブロックアドレス発生回路
407	FIFO
409	マスクデータ

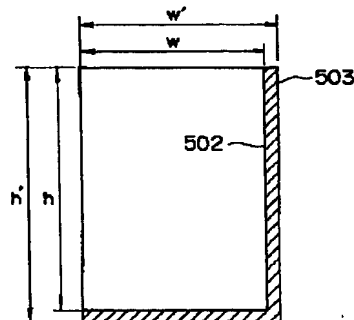
【図2】

第2図



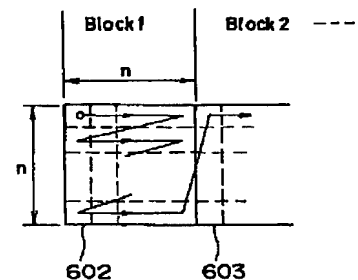
【図3】

第3図



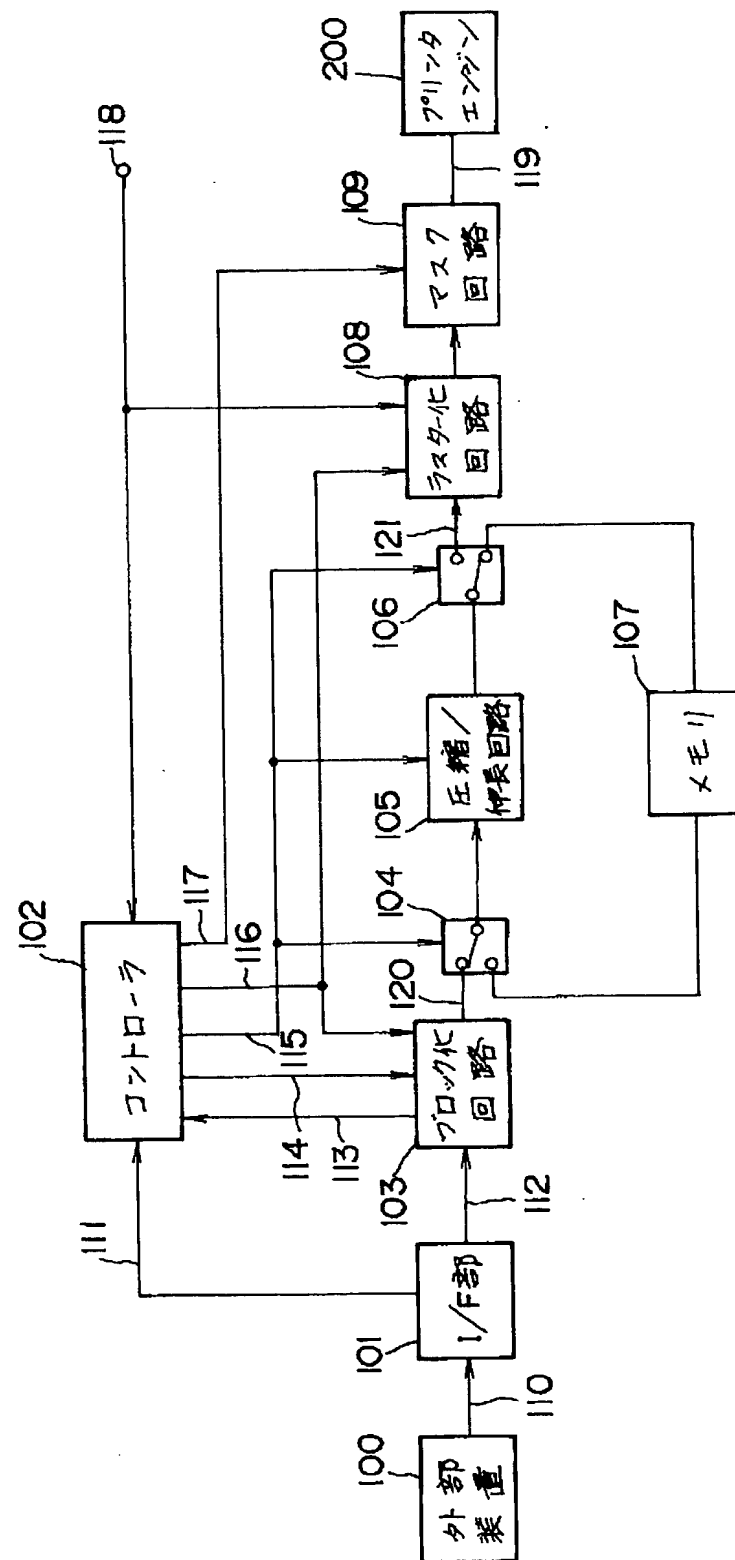
【図5】

第5図



第 1 図

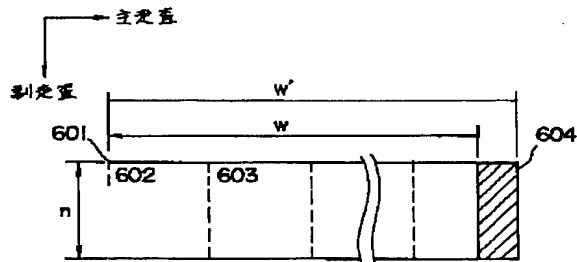
【図1】





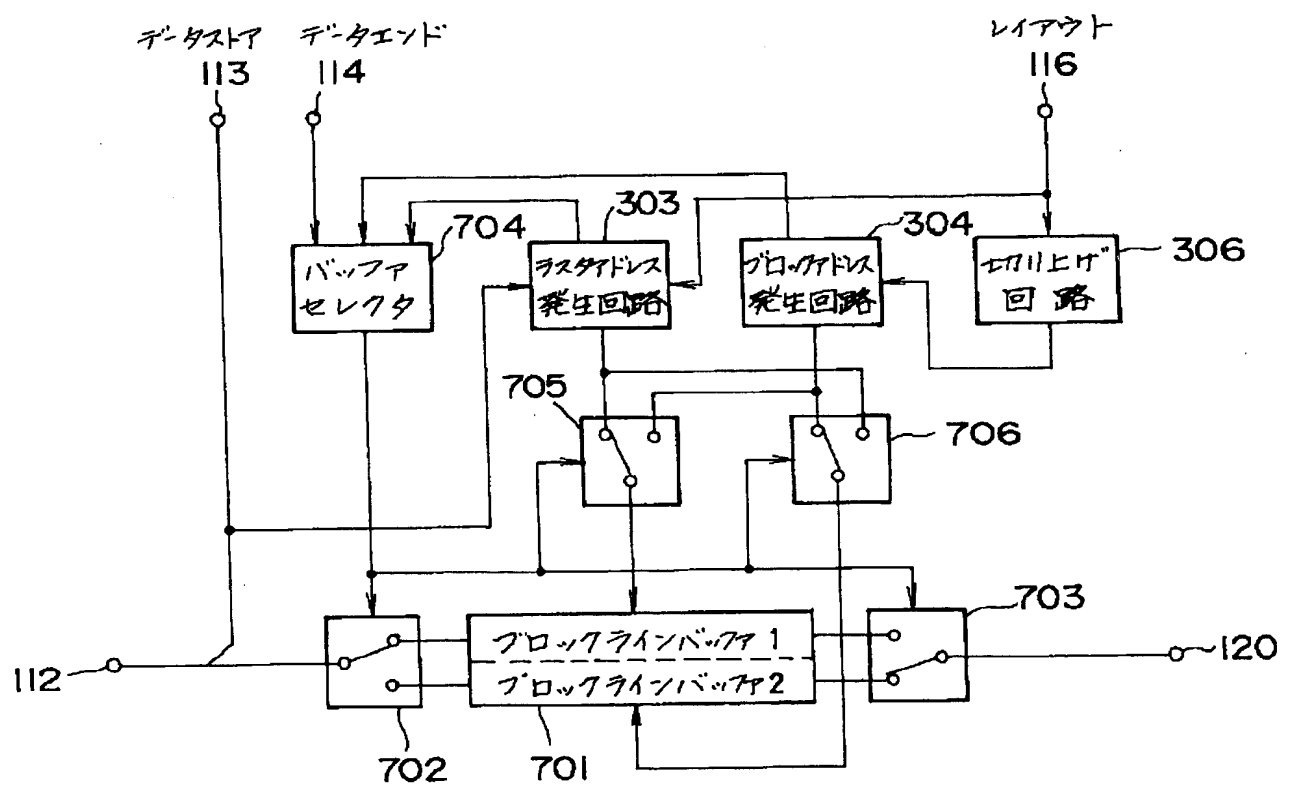
【図4】

第 4 図



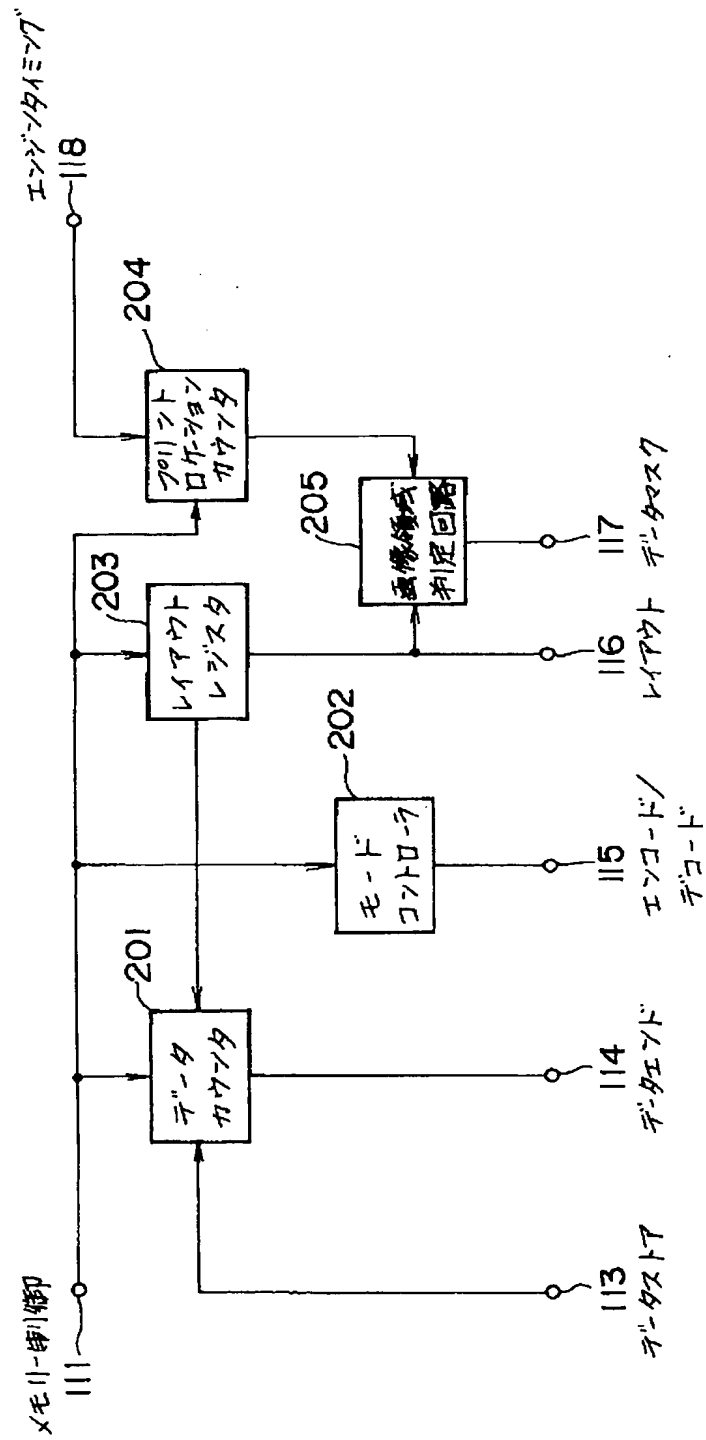
【図9】

第 9 図



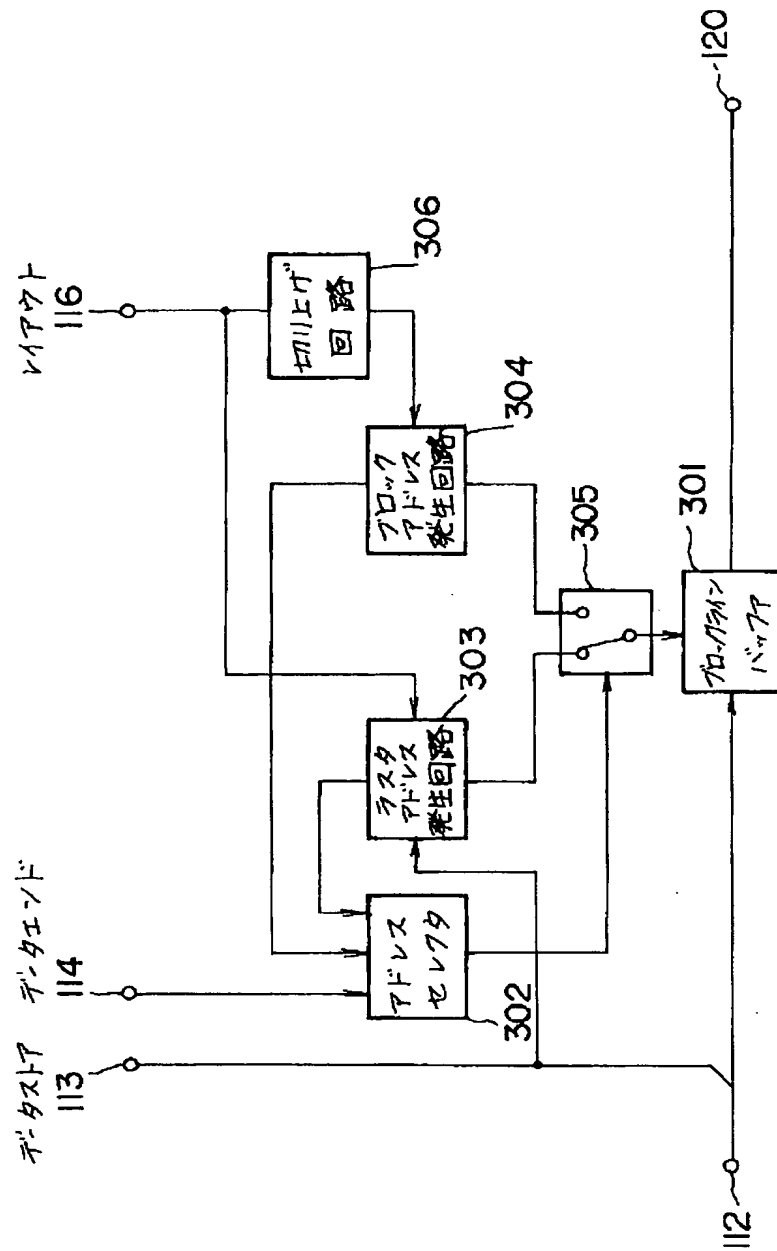
【図6】

第6図

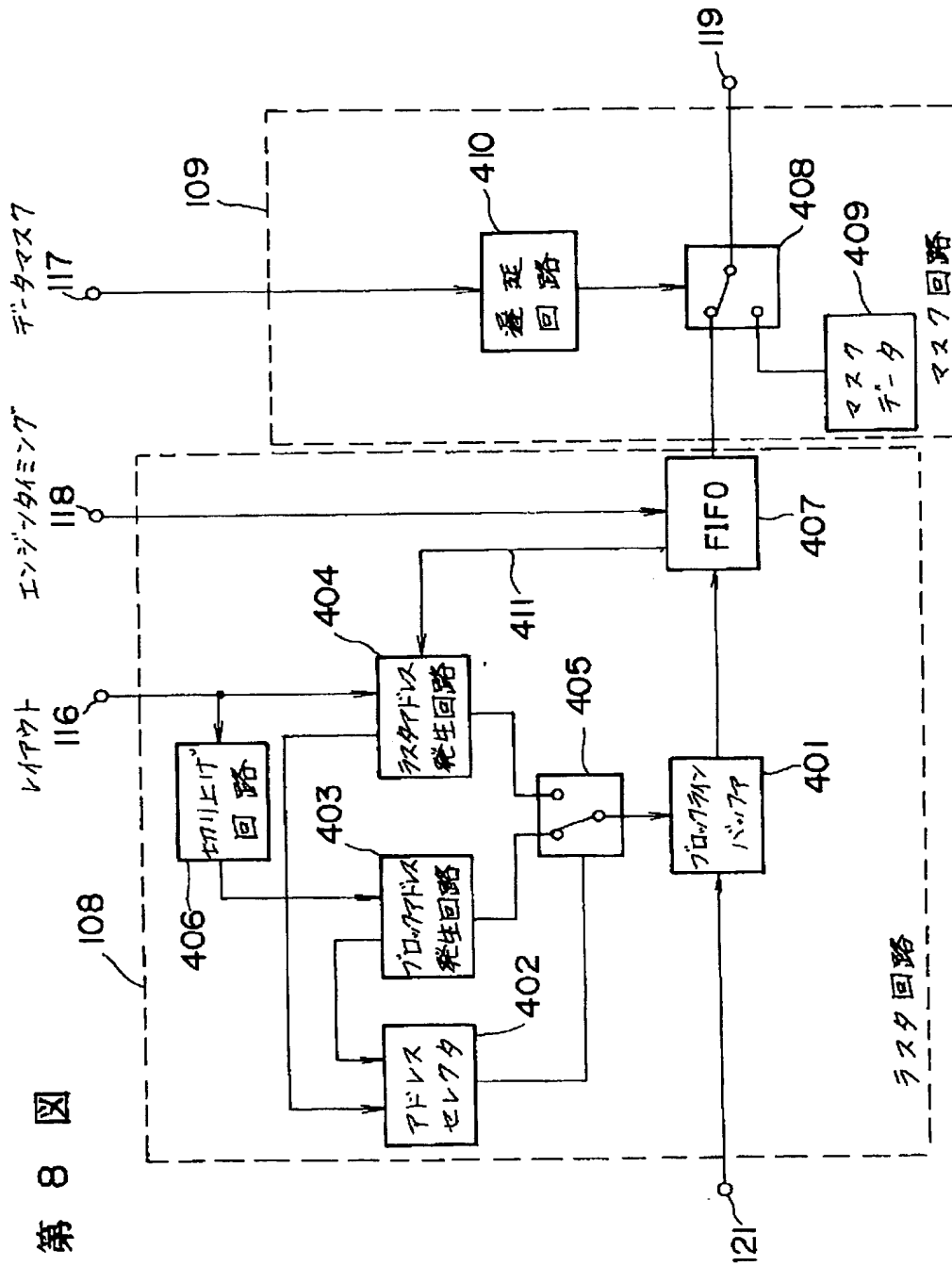


【図7】

第7図



【図8】



【図10】

